[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2924441

[Date of registration]

07.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特新庁 (JP) (12) 公開特許公報 (A)

(11)特許出顧公開番号

特開平6-77483

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.5

識別記号

庁内整理番号

FΙ

技術表示管所

H01L 29/784

G 0 2 F 1/136

500

9225-2K

9056--4M

H01L 29/78

311 H

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号

特願平4-107203

(22)出顧日

平成 4年(1992) 4月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 金子 若彦

東京都港区芝五丁目7番1号日本電気株式

会社内

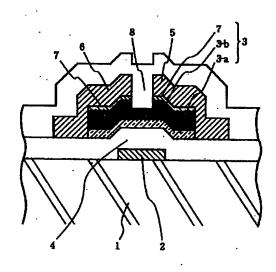
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

【目的】チャネル堀込型薄膜トランジスタの特性向上と スループット改善を両立する。

【構成】前述のチャネル堀込型薄膜トランジスタにおけ る半導体層 (アイランド層)を2層構造とし、動作特性 に対する寄与の大きい下層(ゲートSiNz 膜に接する 層)のa-Si膜は膜質の良い成膜条件で成膜し、膜質 の影響は小さいがスループットへの影響が大きい上層の 厚いa-Si膜は堆積速度の速い成膜条件で成膜する。 【効果】薄膜トランジスタのオン特性が改善され、しか も成膜時間が短くなるのでスループットが向上する。



1

【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁 膜、島状に加工したアモルファスシリコン半導体層、オ ーミックコンタクト層、ソース及びドレイン電極を順次。 積層、パターニングしチャネル部分のオーミックコンタ クト層をエッチング除去した後パシベーション膜を積 層、パターニングして形成される逆スタガー型チャネル 堀込み構造薄膜トランジスタにおいて、前記アモルファ スシリコン半導体層を複数の異なる膜質のアモルファス シリコン膜の積層構造とした事を特徴とする薄膜トラン 10 ジスタ、

【請求項2】 請求項1記載の薄膜トランジスタにおい て、前記アモルファスシリコン半導体層のゲート絶縁膜 に接する側のアモルファスシリコン膜厚が50nm以上 である事を特徴とする薄膜トランジスタ。

【請求項3】 絶縁基板上にゲート電極3ゲート絶縁 膜、島状に加工したアモルファスシリコン半導体層、オ ーミックコンタクト層、ソース及びドレイン電極を順次 積層、パターニングしチャネル部分のオーミックコンタ クト層をエッチング除去した後パシベーション膜を積 層、パターニングして逆スタガー型チャネル堀込み構造 薄膜トランジスタを製造する方法において、高周波放電 出力0.01W/cm²以下の低パワー且つ成膜圧力7 OPa以下且つSiH4/H2流量比1:10以上の高 水素希釈率条件のプラズマC V D 法でアモルファスシリ コン膜を形成し、その上に高周波放電出力0.03W/ cm²以上の高パワー条件且つ成膜圧力120Pa以上 且つS i H4 /H2 流量比1:3以下の低水素希釈率条 件のプラズマCVD法でアモルファスシリコン膜を積層 して2層構造の前記アモルファスシリコン半導体層を形 30 すると言う問題点があった。 成する事を特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明はアモルファスシリコンを 用いた薄膜トランジスタの構造に関し、特にアクティブ マトリクス型液晶ディスプレイの駆動用素子として用い られる薄膜トランジスタに関する。

[0002]

【従来の技術】従来の薄膜トランジスタの構造を図3に 示す。

【0003】ガラス等の絶縁基板1上にアルミ、クロ ム、タンタル等の金属をスパッタ法により成膜し、これ をフォトリソグラフィとウエットエッチングの方法によ りゲート電極2にパターニングする。

【0004】次にアモルファス窒化シリコン膜等のゲー ト絶縁膜(500 nm)と、アモルファスシリコン膜 (300 nm) 3と、リンをドープした n型アモルファ スシリコン膜(60nm)7をプラズマCVD法により 真空中で連続成膜する。この時アモルファスシリコン膜

CCM、圧力=100Pa、高周波放電出力=0.01 W/cm²で成膜時間は約45分である。

【0005】次にアモルファスシリコンとn型アモルフ ァスシリコン膜をフォトリソグラフィとドライエッチン グの方法により島状に加工してアイランド層 3及びオー ミックコンタクト層7を形成し、さらに窒化シリコン膜 4も同様の方法により電極接続用のコンタクトホール (図示省略)を形成する。その後、これらの上に再度ア ルミ、クロム等の金属を成膜しこれをフォトリソグラフ ィの方法によりソース電極5及びドレイン電極配線6を パターニングする。

【0006】次にチャネル形成のため、ゲート電極2上 のアイランド層上に残ったn型アモルファスシリコン膜 をドライエッチング法により除去する(以下、チャネル エッチングと称する)。このとき n型アモルファスシリ コン膜7の除去が十分でないと薄膜トランジスタがOF F動作出来なくなるため、アモルファスシリコン層3ま で堀込む必要がある。

【0007】最後に堀込んだチャネルを保護するための 20 パシベーション膜8として窒化シリコン膜をプラズマC VD法により成膜し電極接続用のコンタクトホール (図 示省略) をフォトリソグラフィの方法により形成してこ の薄膜トランジスタは完成する。

[0008]

【発明が解決しようとする課題】上述の薄膜トランジス タはチャネルエッチングにおける堀込み深さとそのばら つきを考慮して、アモルファスシリコンの膜厚を必要膜 厚に堀込みマージンを加えたかなり厚いものを用いてい る。そのため、成膜時間が長くなりスループットが低下

[0009]

40

【課題を解決するための手段】本発明の薄膜トランジス タとその製造方法は、以下に示す特徴を持つ。

- (1) 絶縁基板上にゲート電極、ゲート絶縁膜、島状に 加工したアモルファスシリコン半導体層、オーミックコ ンタクト層、ソース及びドレイン電極を順次積層、パタ ーニングしチャネル部分にオーミックコンタクト層をエ ッチング除去した後パシベーション膜を積層、パターニ ングして形成される逆スタガー型チャネル堀込み構造薄 膜トランジスタにおいて、前記アモルファスシリコン半 導体層を複数の異なる膜質のアモルファスシリコン膜の 積層構造とする。
- (2) 前記の内容加え、前記アモルファスシリコン半導 体層のゲート絶縁膜に接する側のアモルファスシリコン 膜厚が50nm以上である。
- (3) 高周波放電出力0.01W/cm²以下の低パワ 一旦つ成膜圧力70Pa以下且つSiH4/H2流量比 1:10以上の高水素希釈率条件のプラズマCVD法で アモルファスシリコン膜を形成し、その上に高周波放電 の成膜条件はSiH4 = 30 SCCM、H2 = 200 S 50 出力0.03W/cm²以上の高パワー条件且つ成膜圧

2

3

カ120Pa以上且つSiH4 /H2 流量比1:3以下 の低水素希釈率条件のプラズマCVD法でアモルファス シリコン膜を積層して2層構造のアモルファスシリコン 半導体層を形成する。

[0010]

【作用】アモルファスシリコン半導体層を複層化し、チ ャネル界面に接する層は良質のアモルファスシリコンを 十分時間をかけて成膜し、その上のチャネルエッチング の堀込みマージンとなる層は高速に成膜して成膜時間を 短縮することにより、スループットを損なわずに特件の 10 良い薄膜トランジスタを作製できる。

[0011]

【実施例】次に本発明について図面を参照して説明す る。図1は本発明の一実施例である薄膜トランジスタの 縦断面図である。

【0012】厚さ約1mmの低アルカリガラス基板1上 に金属クロム (100 nm) をスパッタ法で成膜しこれ をフォトリソグラフィとウエットエッチングの方法によ り所定のパターンに加工してゲート電極(配線)2を形

【0013】次にプラズマCVD法によりゲート絶縁膜 用の窒化シリコン膜(500 nm)4、第1アモルファ スシリコン膜(100nm)3-a、第2アモルファス シリコン膜(200nm)3-b、オーミックコンタク ト層となる n型アモルファスシリコン膜(60nm)7 を真空中で連続成膜する。この時、第1アモルファスシ リコン膜3-aの成膜条件はSiN4 = 20SCCM、 H2 = 200SCCM、圧力=60Pa、高周波放電出 カ=0.01W/cm²、第2アモルファスシリコン膜 3-bの成膜条件はSiH4 = 100SCCM H2 = 30 200SCCM、圧力=100Pa、高周波放電出力= 0.03W/cm² とする。

【0014】次に第1、第2アモルファスシリコン膜及 びn型アモルファスシリコン膜をフォトリソグラフィと ドライエッチングの方法によりゲート電極2及びその他 必要な部分上に所定のパターンに加工してアイランド層 3を形成する。そして残った窒化シリコン膜の所定の位 置にをフォトリソグラフィとドライエッチングの方法に より電極接続用のコンタクトホール (図示省略)を開け てゲート絶縁層4を形成する。この上に電極材として金 40 属クロム膜(200nm)をスパッタ法により成膜しフ ォトリソグラフィとドライエッチングの方法により所定 のパターンに加工してソース電極5及びドレイン電極6 を形成する。

【0015】次にチャネル形成のため、ゲート電極上部 のアイランド層上に残ったn型アモルファスシリコン膜 7を除去するため、ソース電極及びドレイン電極をマス クとしてドレインエッチング法によりn型アモルファス シリコン膜と第2アモルファスシリコン膜を合せて約1 50nm除去する。エッチングの堀込み深さは±50n 50 パターンに加工してソース電極5及びドレイン電極6を

m程度の分布を持つが、前述のアモルファスシリコン膜 厚の設定により残りのアモルファスシリコン膜厚はトラ ンジスタの特性を維持するのに十分な厚みを残してい る。ソース電極5及びドレイン電極6の下に残ったn型 アモルファスシリコン膜はオーミックコンタクト層7と なる。

【0016】最後に堀込んだチャネルを保護するための パシベーション膜8として窒化シリコン膜をプラズマC VD法により成膜しその後に電極接続用のコンタクトホ ール(図示省略)をフォトリソグラフィの方法により所 定の位置に形成してこの薄膜トランジスタは完成する。 【0017】本実施例による薄膜トランジスタの動作特 性を図4に示す。本発明による薄膜トランジスタでは第 1アモルファスシリコン膜に良質の膜を用いた事により 従来例に比べて移動度の高い良好なトランジスタ特性を 示す。また、従来例におけるアモルファスシリコン膜の 成膜時間は約45分かかるが本実施例では第1アモルフ ァスシリコン膜の成膜時間が約17分、第2アモルファ スシリコン膜の成膜時間が約5分の合計23分と大幅な 20 短絡が可能となる。

【0018】本発明におけるその他の実施例を図面を参 照して説明する。 図2は本発明の他の実施例である薄膜 トランジスタの縦断面図である。

【0019】厚さ約1mmの低アルカリガラス基板1上 に金属クロム (100 nm) をスパッタ法で成膜しこれ をフォトリソグラフイとウエットエッチングの方法によ り所定のパターンに加工してゲート電極(配線)2を形 成する。

【0020】次にプラズマCVD法によりゲート絶疑膜 用の窒化シリコン膜(500nm)4、第1アモルファ スシリコン膜(100 nm) 3-a、第2アモルファス シリコン膜(200nm)3-b、n型アモルファスシ リコン膜(60nm)7を真空中で連続性膜する。この 時、第1アモルファスシリコン膜の成膜条件はSiH4 =20SCCM、H₂ =200SCCM、圧力=60P a、高周波放電出力=0.01W/cm²、第2アモル ファスシリコン膜の成膜条件はSiH₄ =100SCC M、H₄ = 200 SCCM、圧力=100 Pa、高周波 放電出力=0.03W/cm²とする。

【0021】次に第1、第2アモルファスシリコン膜及 びn型アモルファスシリコン膜をフォトリソグラフィと ドライエッチングの方法によりゲート電極2及びその他 必要な部分上に所定のパターンに加工してアイランド層 3を形成する。そして残った窒化シリコン膜の所定の位 置にフォトリソグラフィとドライエッチングの方法によ り電極接続用のコンタクトホール (図示省略) を開けて ゲート絶縁層4を形成する。この上に電極材として金属 クロム膜(200nm)をスパッタ法により成膜しフォ トリソグラフィとドライエッチングの方法により所定の

5

形成する。

【0022】次にチャネル形成のため、ゲート電極上部のアイランド層上に残ったn型アモルファスシリコン膜を除去するため、ソース電極5及びドレイン電極6をマスクとしてドライエッチング法によりn型アモルファスシリコン膜と第2アモルファスシリコン膜を合せて約150nm除去する。エッチングの堀込み深さは±50nm程度の分布を持つが前述のアモルファスシリコン膜厚の設定により残りのアモルファスシリコン膜厚はトランジスタの特性を維持するのに十分な厚みを残している。ソース電極及びドレイン電極の下に残ったn型アモルファスシリコン膜はオーミックコンタクト層7となる。

【0023】最後に堀込んだチャネルを保護するためのパシベーション膜8をつける。成膜はプラズマCVDにより行うが窒化シリコン膜成膜前にH2 ガスだけをソースガスとして圧力=100Pa、高周波放電出力=0.02W/cm²の条件でプラズマ放電し、チャネルエッチング後のアモルファスシリコン表面10を処理し連続して真空中で窒化シリコン膜を成膜する。その後に電極接続用のコンタクトホール(図示省略)をフォトリソグ 20ラフィの方法により所定の位置に形成してこの薄膜トランジタは完成する。

【0024】本実施例ではチャネルエッチングによるア モルファスシリコン膜へのダメージが緩和されるため特 性安定性が向上するという効果がある。 [0025]

【発明の効果】以上説明したように本発明は逆スタガー型チャネル堀込み構造の薄膜トランジスタにおいてアモルファスシリコン膜のアイランド層を膜質の良い第1アモルファスシリコン膜と成膜速度の速い第2アモルファスシリコン膜の複層構造とする事によりトランジスタ特性とスループットの双方を向上させる効果を有する。

6

【図面の簡単な説明】

【図1】本発明の1実施例の総断面図。

10 【図2】本発明の異なる実施例の縦断面図。

【図3】従来技術による薄膜トランジスタの総断面図。

【図4】本発明の効果を示す薄膜トランジスタのゲート 電圧-電流特性曲線図。

【符号の説明】

1 ガラス基板

2 ゲート電極

3-a 第1アモルファスシリコン層

3-b 第2アモルファスシリコン層

3 アイランド層

20 4 ゲート絶縁膜

5 ソース電極

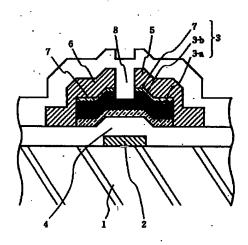
6 ドレイン電極

7 オーミックコンタクト層

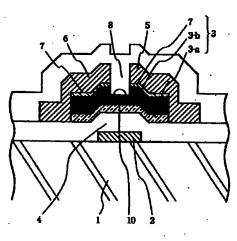
8 パシベーション膜

10 水素放電処理領域

【図1】

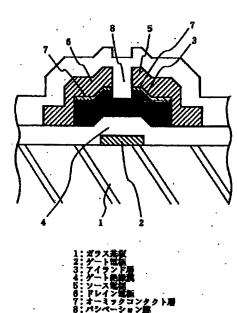


1: ガラス基収 2: ゲート管框 3: : 修1 アモルファスシリコン局 3: : 第 2 アモルファスシリコン局 4: ゲート的経験 5: ソース電路 7: オーミックコンタクト局 【図2】





【図3】



【図4】

